

item 8 on PTO-892. ~~JP~~

PAT-NO: JP02002198503A

DOCUMENT-IDENTIFIER: JP 2002198503 A

TITLE: INTEGRATED PHOTODETECTOR

PUBN-DATE: July 12, 2002

INVENTOR-INFORMATION:

NAME	COUNTRY
THOMAS, DANIELLE A	N/A
THOMAS, GILLES E	N/A

ASSIGNEE-INFORMATION:

NAME	COUNTRY
STMICROELECTRONICS INC	N/A

APPL-NO: JP2001306639

APPL-DATE: October 2, 2001

PRIORITY-DATA: 2000677268 ( October 2, 2000 ) , 2001838909 ( April 20, 2001 )

INT-CL (IPC): H01L027/14, H01L021/331 , H01L021/8222 , H01L027/082  
, H01L029/732 , H01L031/10

ABSTRACT:

PROBLEM TO BE SOLVED: To provide an integrated circuit device having a photodetector and a method of manufacturing the circuit device.

SOLUTION: In the integrated circuit device, the photodetector is integrated with a bipolar transistor containing a high-speed vertical NPN transistor having polysilicon emitter on a single semiconductor chip. The photodetector has a nitride silicon layer which works as a reflection preventing film. The nitride silicon layer and oxide layers on both sides of the silicon layer insulate the end section of the polysilicon emitter from a transistor area under the emitter. Consequently, parasitic capacitances are minimized and, at the same time, a high-frequency response is achieved.

COPYRIGHT: (C)2002,JPO

(19)日本国特許庁(JP)

(12)公開特許公報(A)

(11)特許出願公開番号  
特開2002-198503  
(P2002-198503A)

(43)公開日 平成14年7月12日(2002.7.12)

(51)Int.Cl. <sup>7</sup>	識別記号	F I	テ-マコード*(参考)
H 0 1 L 27/14		H 0 1 L 27/14	Z 4 M 1 1 8
21/331		31/10	A 5 F 0 0 3
21/8222		29/72	P 5 F 0 4 9
27/082		27/08	1 0 1 B 5 F 0 8 2
29/732			

審査請求 未請求 請求項の数5 OL (全 6 頁) 最終頁に続く

(21)出願番号 特願2001-306639(P2001-306639)

(22)出願日 平成13年10月2日(2001.10.2)

(31)優先権主張番号 09/677268

(32)優先日 平成12年10月2日(2000.10.2)

(33)優先権主張国 米国(US)

(31)優先権主張番号 09/838909

(32)優先日 平成13年4月20日(2001.4.20)

(33)優先権主張国 米国(US)

(71)出願人 591236448

エスティーマイクロエレクトロニクス、インコーポレイテッド  
STMicroelectronics,  
Inc

アメリカ合衆国、テキサス 75006,  
カーロルトン、エレクトロニクス ドライ  
ブ 1310

(74)代理人 100076185

弁理士 小橋 正明

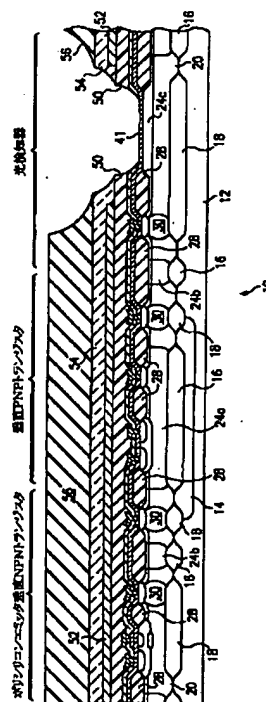
最終頁に続く

(54)【発明の名称】 集積光検知器

(57)【要約】

【課題】 光検知器を有する集積回路装置及びその製造方法を提供する。

【解決手段】 本発明によれば、高速のポリシリコンエミッタ垂直NPNトランジスタを含むバイポーラトランジスタと共に光検知器が単一の半導体チップ上に集積化されている。該光検知器は反射防止膜として作用する窒化シリコン層を有している。該窒化シリコン層及びその両側の酸化物層がポリシリコンエミッタの端部を下側に存在するトランジスタ領域から絶縁しており、寄生容量を最小とさせると共に高周波数応答を達成している。



## 【特許請求の範囲】

【請求項1】 単一の半導体チップ上に形成した集積回路装置において、

基板、

前記基板によって支持されている少なくとも1個のトランジスタ、

前記トランジスタから横方向に離隔して前記基板によって支持されている光検知器、を有しており、前記光検知器がPN接合及び前記PN接合の上方に形成されている光透過性層を有しており、前記光透過性層が反射防止窒化シリコン膜を有しており、前記窒化シリコン膜が前記光検知器から離れた前記チップの領域へ横方向に延在しており且つ前記トランジスタの少なくとも一部の上側に存在する絶縁層の一部を形成していることを特徴とする集積回路装置。

【請求項2】 単一の半導体チップ上に形成した集積回路装置において、

少なくとも1個のポリシリコンエミッタ垂直NPNTランジスタと少なくとも1個の垂直PNPトランジスタとを包含する複数個のトランジスタが設けられており、前記NPNTランジスタはベース領域と、エミッタ領域と、コレクタ領域とを具備しており、前記エミッタ領域は前記チップのエピタキシャル層の上表面に形成した高度にドーピングした領域と前記高度にドーピングした領域と接触している高度にドーピングしたポリシリコン部分とを有しており、

前記エピタキシャル層内に形成されているPN接合とその上方で前記エピタキシャル層の上表面上に形成されている光透過性層とを具備している光検知器が設けられており、前記光透過性層は反射防止窒化シリコン膜を有しており、前記窒化シリコン膜は前記光検知器から離れた前記チップの領域へ横方向に延在しており且つ前記NPNTランジスタの部分の上側に存在する絶縁層の一部を形成している、ことを特徴とする集積回路装置。

【請求項3】 請求項2において、前記NPNTランジスタの前記ポリシリコンエミッタ部分が前記絶縁層の上側に存在するショルダー部分を有しており、前記NPNTランジスタのベース領域とエミッタ領域との間の寄生容量が部分的に前記窒化シリコン膜の厚さ及び誘電特性によって決定されることを特徴とする集積回路装置。

【請求項4】 請求項3において、前記絶縁層が前記窒化シリコン層及びその両側における2つの二酸化シリコン層を有していることを特徴とする集積回路装置。

【請求項5】 単一の半導体チップ上に集積回路装置を製造する方法において、

第一導電型の基板を用意し、

前記基板上に第二導電型のエピタキシャル層を形成し、

前記チップ上の横方向に離隔した位置にトランジスタと光検知器とを形成し、

窒化シリコン層を前記光検知器の構造における反射防止

膜として形成し、前記窒化シリコン層が前記トランジスタを包含するチップの領域へ前記光検知器から横方向に延在し且つ前記トランジスタの構造内において絶縁機能を発揮する、ことを特徴とする方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、大略、半導体光検知器に関するものであって、更に詳細には、光検知器を有する集積回路装置及びその製造方法に関するものである。

## 【0002】

【従来の技術】半導体光検知器は公知である。米国特許第4,670,765号及び第5,177,581号は半導体光検知器の例を示している。しばしば、このような光検知器は同一の半導体チップ上にその他の回路要素と共に集積化されている。米国特許第5,049,733号及び第5,105,090号はその例を示している。より進んだ製造プロセスと適合性のある別の例が米国特許第5,994,162号に開示されている。これらの5つの米国特許はその記載内容を引用によって本明細書に取込む。

【0003】半導体製造業者等は、単一のシリコンチップ上に高い回路密度での製造を可能とする複雑な処理技術を開発している。多くのこのような技術はバイポーラトランジスタか又は電界効果トランジスタ(FET)のいずれか、又はより典型的には、同一のチップ上に両方のタイプのトランジスタを形成する柔軟性を有している。金属・酸化物・半導体FETの両方の相補的な形態のもの(即ち、Nチャンネル及びPチャンネルの両方のMOSFET)を同一のチップ上にバイポーラトランジスタと共に形成する場合には、その一般的な処理技術はBiCMOSと呼称される。進化したBiCMOSプロセスは、高性能電子製品に対して適した高周波数で動作するIC装置を提供する。単一の半導体チップ上に光検知器を組込むことは、既存の処理技術を修正させる場合があり、即ち、半導体チップは最終的な適用例と適合性がある既存の処理技術の修正が関与する場合がある。従って、処理操作の数及び複雑性を増加させることを最小としながら、基本的な回路要素(トランジスタ及びコンデンサ)の構造及び機能を著しく変化させることのないような態様でこのような処理の修正を容易なものとすることが望ましい。

## 【0004】

【発明が解決しようとする課題】本発明は、以上の点に鑑みなされたものであって、上述した如き従来技術の欠点を解消し、改良した光検知器及びその製造方法を提供することを目的とする。

## 【0005】

【課題を解決するための手段】本発明の主要な目的によれば、進化したBiCMOS処理技術を使用して、単一

のチップ上に高速バイポーラトランジスタ及びその他の半導体要素と共に光検知器が集積化される。該光検知器は、光透過性層とほぼ平行に存在しているPN接合を具備しているダイオードの上方に配設されている薄い光透過性層を有している。該ダイオードは、物理的に、同一のチップ上のその他の回路要素から分離されており、且つ導電性相互接続体を使用してチップ回路と電氣的に相互接続されている。該光透過性層を形成する物質は、主に異なるタイプのバイポーラトランジスタを包含するこれらのその他の回路要素を包含するチップの領域にわたって横方向に延在している。本製造方法によれば、特性を劣化させることなくチップ上における種々のトランジスタの構造内に光透過性層の横方向に延在する部分を組込ませることによって最小数のフォトグラフィー操作で光検知器の構成を設けることを可能としている。

#### 【0006】

【発明の実施の形態】最初に、図1、2A、2B、2Cを参照すると、半導体チップの一部が例示されており且つ参照番号10で大略示されている。説明の便宜上、図2A、2B、2Cにおいて使用した参照番号のうちの幾つかは図1においては示していない。図1はチップ10の上に集積化した光検知器と共にチップ10の上に製造することが可能な多数の可能なトランジスタのうちの2つを示している。「ポリシリコンエミッタ垂直NPNTランジスタ」として示した部分が図2Aに拡大して示してあり、「垂直NPNTランジスタ」として示した部分が図2Bに拡大して示してあり、且つ「光検知器」として示した部分が図2Cに拡大して示してある。

【0007】チップ10は基板12上に製造されており、該基板は、好適には、10乃至20 $\Omega \cdot \text{cm}$ の固有抵抗を有している軽度ドーピングしたP型シリコンである。従来の処理技術を使用して基板12内には種々の埋込層が形成されており、例えばN-埋込層14、P+埋込層16、N+埋込層18等が設けられている。

【0008】軽度ドーピングしたN型エピタキシャル層20が従来のエピタキシャル付着プロセスを使用して基板12上に形成されている。次いで、種々の従来のイオン注入操作を実施して、エピタキシャル層20内の領域を選択的にドーピングさせる。これらのドーピングされた領域は、フィールド注入領域22（そのうちの幾つかが図2A、2B、2Cにおいて符号が付けられている）、P-ウェル24a、24b、24c、Pフィールド注入領域26等がある。

【0009】次いで、好適には、約6000Åの厚さへ選択的に熱酸化膜を成長させるためにパターン形成した窒化物層（不図示）を使用して酸化物分離領域を形成する。これはパターン形成したフィールド酸化物層28を形成する。次いで、更なるイオン注入操作を行ってN+シンカー30、N+コンタクト領域32、P+コンタクト領域34、P-ベース注入領域36（図2A）、N-

ベース注入領域38（図2B）を形成する。好適には、それに続いてクリーンアップシーケンスを行い、それは、好適には約65Åの厚さへ活性領域内において新たな極めて薄い熱酸化物層（不図示）を形成することを包含している。

【0010】次に、図3を参照して、本発明の重要な特徴について説明する。第一に、酸化物層40aを、好適には、約350Åの厚さへ付着形成させる。この付着は、好適には、公知の処理技術に従ってソース物質としてTEOS（テトラエチルオルトシリケート）を使用して約670℃において行われる。次に、従来の態様で約500Åの好適な厚さに窒化シリコン（Si<sub>3</sub>N<sub>4</sub>）層40bを付着形成させる。理解されるように、この層は完成した装置において反射防止膜として作用する。次に、付加的なTEOS付着を行って約650Åの好適な厚さに酸化物層40cを形成する。

【0011】層40a、40b、40cは著しい変形なしで例示するには薄過ぎるので図1、2A、2B、3Cには別々に示してはいない。3つの全ての層が存在する場合には、それらは、ここにおいては、複合絶縁層と呼称し、集約的に参照番号40で示してある。図3においては、酸化物層40cがフィールド酸化物層28の端部の右側で終端しており、従って層40a及び40bのみがP-ウェル24cにわたって延在している状態が示されている。層40a及び40bは、ここにおいては、光透過性層41として集約的に呼称され、それは以下にその動作について説明する光検知器要素の重要な構造的特徴である。

【0012】再度図2Aを参照すると、複合絶縁層40を形成した後に、エミッタ領域36上方でそれを貫通して開口をドライカットにより刻設する。それに続いて、好適には、240KeVのエネルギーで2.0 $\times 10^{12}$ 原子数/cm<sup>2</sup>のドーズで燐注入を行う。これは選択的に注入したコレクタ（SIC）領域42を形成する。このSIC領域はポリシリコンエミッタ垂直NPNTランジスタの速度に寄与し、該トランジスタは好適には9ギガヘルツを超える周波数応答を有している。

【0013】次いで、クリーンアップ操作の後に、多結晶シリコン（ポリシリコンとも呼称される）の付着を行う。このポリシリコン層を砒素でイオン注入する。このイオン注入手順は該ポリシリコンをドーピングするだけでなく、下側に存在するシリコンの一部をドーピングしてエミッタコンタクト領域44を形成する。次いで、該ポリシリコン層を選択的にエッチングしてエミッタコンタクト領域44上方の所定位置にポリシリコンエミッタ46を残存させる。理解されるように、結果的に得られる構造的特徴も高速トランジスタ応答に貢献する。

【0014】次いで、公知の処理ステップを使用してガラス付着を行ってBPSG層48を形成する。次いで、選択的エッチングによってコンタクト開口を形成し、そ

れに続いて、金属付着及びパターン形成を行ってベース、エミッタ、コレクタ、ソースコンタクト（図2A及び2BにおいてB、E、C、Sの符号が付けてある）及び光検知器コンタクト（図2CにおいてPの符号が付けてある）を形成する。

【0015】再度、図1を参照すると、従来の酸化物付着及びスピノオンガラス（SOG）平坦化技術を使用してレベル間誘電体（ILD）層50を形成する。このことはILD層50の上に比較的平坦な表面を発生させる。2番目の金属付着及びパターン形成シーケンスを行って金属スクリーンプレート52を形成する。それに続いて従来の酸化物パッシベーション付着を行ってPSG層54を形成する。次いで、本装置の上にオプションとしてのポリイミド層56を形成し、それはその後のパッケージング操作期間中にチップ10上のストレスを減少させることに寄与することが可能である。

【0016】再度、図2Cを参照すると、一連の選択的エッチングステップによって層56、54、50、48の一部を除去することによって、光透過性層41に至るまで開口即ちウインドウ58を形成する。又、特に図3に示してあるように、酸化物層40cを除去して窒化物層40bを露出させ、それは光透過性層41の上側の層である。好適には、ウインドウ58は平面図において矩形形状であり、長さ対幅の比が1.5であり、それは光学的感度を改善する。

【0017】次いで、基板12を電極（不図示）へボンディングさせ且つチップ10をICパッケージ（不図示）内に封止することによってチップ10を保護ハウジング内にパッケージングし、該パッケージはウインドウ58の上方に透明な樹脂部分（不図示）を有している。チップ10は多数のトランジスタ及びその他のIC要素（コンデンサ及び抵抗）を有することが可能であるが、そのうちの2個のトランジスタのみが集積化された光検知器と共に示されている。チップ10がMOSゲート型要素を包含する本発明の変形例においては、複合絶縁層40を第一及び第二レベルのポリシリコン層の間のレベル間即ち層間誘電体として使用しスイッチモードコンデンサを形成することが可能である。

【0018】図示した構造がどのような機能を行うかは当業者に自明である。ポリシリコンエミッタ垂直NPNトランジスタ（図2A）及び垂直PNPトランジスタ（図2B）の各々は公知の態様で動作する。本発明に基づく集積光検知器を具備する最も基本的なIC装置の場合には、既存のBiCMOS処理技術に対して僅かな修正を施すだけでバイポーラトランジスタを製造することが必要であるに過ぎない。

【0019】光検知器（図2C）も公知の態様で動作する。P型領域24c及びN型エピタキシャル層20の下側の部分がPN接合即ちダイオード60を形成し、それは、光透過性層を貫通して通過する光子によって付勢

された場合に電流を発生する。光がPN接合60の空間電荷領域の内側において電子・正孔対を発生する。その結果、正の電流が光検知器コンタクトPから領域32、30、18、20を介してPN接合60へ流れる。実際には、金属コンタクトPがダイオード60に対する電流ドレインとして作用する。

【0020】本発明の重要な特徴によれば、複合絶縁層40がトランジスタ構成体の一部を形成すると共に、その下側の2つの層40a及び40b（図3）が光検知器に対して貢献する。複合絶縁層40の全体的な厚さ及び誘電特性は、ポリシリコンエミッタ46の端部とNPNトランジスタ（図2A）のベース領域36との間に適宜の寄生容量を与えるように選択されている。光透過性層41（図2C及び3）の層40a及び40bの厚さも、光透過性層41が650乃至750ナノメートルの範囲内の波長の光に対して反射防止特性を有するように選択されている。光検知器の反射防止膜として窒化シリコン層を使用することは、例えば、米国特許第5,177,581号に開示されているように従来公知である。本発明はこのような従来の装置と比較して性能上著しい改良を与えるものである。

【0021】以上、本発明の具体的実施の態様について詳細に説明したが、本発明は、これら具体例にのみ制限されるべきものではなく、本発明の技術的範囲を逸脱することなしに種々の変形が可能であることは勿論である。

【図面の簡単な説明】

【図1】 本発明の1実施例に基づいて構成された装置の一部の概略断面図。

【図2A】 ポリシリコンエミッタ垂直NPNトランジスタを包含する図1の左側部分の拡大した概略断面図。

【図2B】 垂直PNPトランジスタを包含した図1の中央部分の拡大した概略断面図。

【図2C】 光検知器を包含する図1の右側部分の拡大した概略断面図。

【図3】 光検知器の一部を画定する光透過性層の付加的な詳細を示した図2Cの一部を拡大して示した概略断面図。

【符号の説明】

10 半導体チップ

12 基板

14 N-埋込層

16 N+埋込層

18 N+埋込層

20 エピタキシャル層

28 フィールド酸化物層

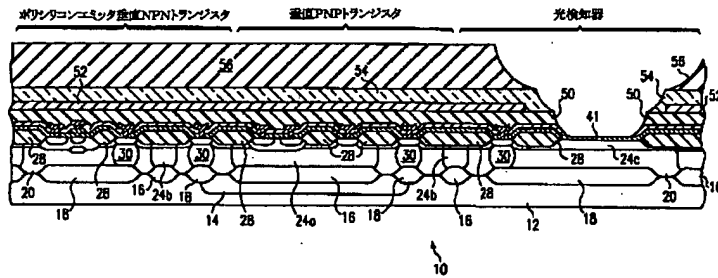
40b 窒化シリコン層

40c 酸化物層

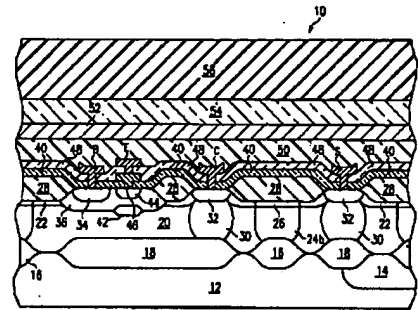
41 光透過性層

40 複合絶縁層

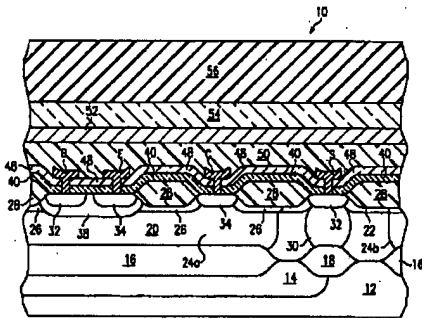
【図1】



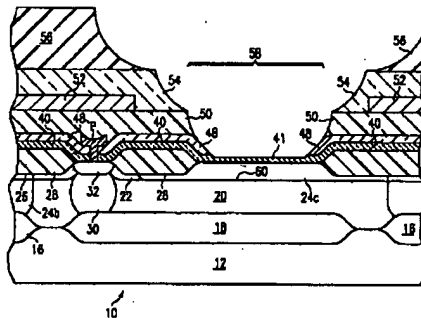
【図2A】



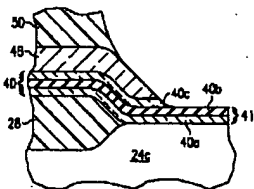
【図2B】



【図2C】



【図3】



フロントページの続き

(51)Int. Cl. 7  
H01L 31/10

識別記号

F I

テマコード(参考)

(72)発明者 ダニエル エイ. トーマス  
アメリカ合衆国, テキサス 75248,  
ダラス, フォールカーク ドライブ  
16312

(72)発明者 ジルズ イー. トーマス  
アメリカ合衆国, テキサス 75248,  
ダラス, フォールカーク ドライブ  
16312

Fターム(参考) 4M118 AB10 BA06 CA03 CA32 FC09  
FC18  
5F003 BA12 BA96 BE07 BJ01 BJ11  
BP21  
5F049 MA02 MB03 NA02 NA20 QA03  
UA07  
5F082 AA08 BA02 BA03 BC03 BC09  
BC11 EA02